

03S1095
101798,402

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 7 9 9 9 3
Application Number:
[J P 2 0 0 3 - 3 7 9 9 9 3]
ST. 10/C]:

出 願 人 株 式 会 社 東 芝
Applicant(s):

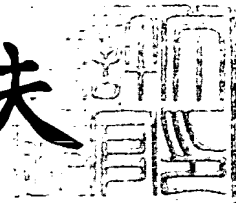
BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 3 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 3 7 0 3

【書類名】 特許願
【整理番号】 A000303893
【提出日】 平成15年11月10日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 23/56
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 北川 信孝
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

単一電源電圧により駆動される内部回路と、前記内部回路をサージから保護する第 1 保護回路とを具備し、

前記内部回路は、第 1 MOS トランジスタから構成される高耐圧回路部と、前記第 1 MOS トランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有する第 2 MOS トランジスタから構成される低耐圧回路部と、前記低耐圧回路部に直接接続され、前記第 2 MOS トランジスタをサージから保護する第 2 保護回路とを含んでいることを特徴とする半導体集積回路。

【請求項 2】

第 1 MOS トランジスタから構成され、単一電源電圧により駆動される高耐圧回路部と、前記高耐圧回路部をサージから保護する第 1 保護回路とを具備し、

前記高耐圧回路部は、前記第 1 MOS トランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有する第 2 MOS トランジスタから構成される低耐圧回路部と、前記低耐圧回路部に直接接続され、前記第 2 MOS トランジスタをサージから保護する第 2 保護回路とを含んでいることを特徴とする半導体集積回路。

【請求項 3】

第 1 MOS トランジスタから構成され、第 1 電源電圧により駆動される第 1 内部回路と、前記第 1 MOS トランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有する第 2 MOS トランジスタから構成され、前記第 1 電源電圧よりも低い第 2 電源電圧により駆動され、前記第 1 内部回路に対してデータのやりとりを行う第 2 内部回路と、前記第 1 内部回路に直接接続され、前記第 1 MOS トランジスタをサージから保護する第 1 保護回路と、前記第 2 内部回路に直接接続され、前記第 2 MOS トランジスタをサージから保護する第 2 保護回路とを具備することを特徴とする半導体集積回路。

【請求項 4】

前記第 2 保護回路は、ダイオード又はダイオード接続された MOS トランジスタから構成され、前記ダイオード又は前記ダイオード接続された MOS トランジスタによるクランプ電圧は、前記低耐圧回路部における通常動作時の電圧範囲の最大値よりも大きいことを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 5】

前記第 2 保護回路は、ダイオード又はダイオード接続された MOS トランジスタから構成され、前記ダイオード又は前記ダイオード接続された MOS トランジスタによるクランプ電圧は、前記第 2 内部回路における通常動作時の電圧範囲の最大値よりも大きいことを特徴とする請求項 3 に記載の半導体集積回路。

【書類名】明細書

【発明の名称】半導体集積回路

【技術分野】

【0001】

本発明は、半導体集積回路のESD (Electro Static Discharge) 破壊に対する保護回路に関するもので、特に、高電圧により駆動される厚膜タイプMOSトランジスタと低電圧により駆動される薄膜タイプMOSトランジスタとが混在する半導体集積回路に使用される。

【背景技術】

【0002】

人体や機械のESDは、半導体集積回路にとって大敵である。ESDは、サージとなって、半導体集積回路の外部から内部へ侵入し、その内部回路に悪影響を与えるからである。最悪の場合には、内部回路は、回復不能な状態に破壊される。そこで、このような事態を防ぐために、通常、半導体集積回路に対しては、ESD保護回路が付加される。

【0003】

ESDによるサージの侵入経路は、半導体集積回路の外部端子、例えば、I/Oピン、電源(VDD, VSS)ピンなどである。従って、ESD保護回路は、このような外部端子に直接接続する形で設けられる。

【0004】

ESD保護回路の例としては、例えば、特許文献1～6に掲げるものが知られているが、以下、代表的なESD保護回路について簡単に説明する。

【0005】

図17は、I/Oピンに対するESD保護回路の例を示している。

【0006】

データは、I/OピンP1→入出力回路11→内部回路12という経路で、半導体集積回路の外部から内部へ入力される。また、データは、内部回路12→入出力回路11→I/OピンP1という経路で、半導体集積回路の内部から外部へ出力される。ESD保護回路10は、I/OピンP1と入出力回路11との間に接続される。

【0007】

ESD保護回路10、入出力回路11及び内部回路12には、電源(VDD, VSS)ピンP2, P3から入力される電源電位VDD, VSSが供給される。

【0008】

このような回路において、仮に、ESDによるサージがI/OピンP1から入力したとすると、このサージは、ESD保護回路に瞬時に吸収されるため、サージが入出力回路11及び内部回路12に直接供給されることはなく、その結果、入出力回路11及び内部回路12を保護できる。

【0009】

ところで、このケースでは、I/OピンP1からESDによるサージが入力される前提であったが、ESDによるサージは、この他の外部端子、即ち、電源(VDD, VSS)ピンP2, P3からも入力される。このため、電源(VDD, VSS)ピンP2, P3から入力されるサージに対しても、内部回路12を保護できるようなシステムを構築する必要がある。

【0010】

図18は、電源(VDD, VSS)ピンに対するESD保護回路の例を示している。

【0011】

データは、半導体集積回路に対して、I/OピンP1を経由することにより入出力される。ESD保護回路10A、入出力回路11及び内部回路12の接続関係は、図17と同じであるため、ここでは、その説明については省略する。

【0012】

ESD保護回路10A、入出力回路11及び内部回路12には、電源(VDD, VSS

）ピンP2，P3から入力される電源電位VDD，VSSが供給される。また、電源（VDD，VSS）ピンP2，P3にサージが入力される場合を考慮して、電源（VDD，VSS）ピンP2，P3には、ESD保護回路10B，10Cが接続される。

【0013】

ESD保護回路10Aは、例えば、正の値を有する過大電圧（サージ）を吸収する部分と負の値を有する過大電圧（サージ）を吸収する部分とから構成される。これに対し、ESD保護回路10Bは、例えば、正の値を有する過大電圧（サージ）を吸収する部分のみから構成され、ESD保護回路10Cは、例えば、負の値を有する過大電圧（サージ）を吸収する部分のみから構成される。

【0014】

なお、電源電位VDD、VSSの極性は、互いに異なるか、又は、これらのうち一方が接地電位VGNDであるものとする。通常は、電源電位VDDの極性は、正であり、電源電位VSSは、接地電位VGNDである。

【0015】

このような回路において、仮に、正の値を有するサージがVDDピンP2から入力したとすると、このサージは、ESD保護回路10Bに瞬時に吸収されるため、サージが入出力回路11及び内部回路12に直接供給されることはなく、その結果、入出力回路11及び内部回路12を保護できる。

【0016】

また、負の値を有するサージがVSSピンP3から入力したとすると、このサージは、ESD保護回路10Cに瞬時に吸収されるため、上記と同様に、サージが入出力回路11及び内部回路12に直接供給されることはなく、その結果、入出力回路11及び内部回路12を保護できる。

【特許文献1】特開平8-31948号公報

【特許文献2】特開2000-260944号公報

【特許文献3】特開2002-110919号公報

【特許文献4】特開2002-141415号公報

【特許文献5】特開2002-270781号公報

【特許文献6】特開2003-504860号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

例えば、チップに供給される電源電位が1種類（接地電位は算入しない）である単一電源電圧タイプの半導体集積回路を考える。この半導体集積回路の内部回路に使用するMOSトランジスタは、通常、単一電源電圧VDD（＝VDD－VSS（0V））にも十分に耐えることができる厚さのゲート酸化膜を有する。つまり、このMOSトランジスタのゲート耐圧は、単一電源電圧VDDを越える所定値に設定される。

【0018】

また、ESD保護回路は、MOSトランジスタのゲート耐圧を越える電圧（サージ）が外部端子に与えられた場合に、そのMOSトランジスタのゲート酸化膜に印加される電圧をそのゲート耐圧以下の所定値にクランプし、そのMOSトランジスタを保護するために設けられる。

【0019】

しかし、近年の半導体集積回路では、その多機能化が進行し、1つのチップ（半導体集積回路）内に、単一電源電圧VDDに十分に耐えることができる大きなゲート耐圧を有する厚膜タイプMOSトランジスタに加え、単一電源電圧VDDを降圧することにより得られる単一電源電圧VDDよりも小さな値の内部電源電圧Vddにより駆動される薄膜タイプMOSトランジスタを使用するケースが増えてきた。

【0020】

例えば、図19に示すように、内部回路12は、高耐圧回路部13及び低耐圧回路部1

5から構成され、電源電位(VDD, VSS)は、高耐圧回路部13に供給され、降圧回路14により生成された電源電位(Vdd, VSS)は、低耐圧回路部14に供給される。そして、電源電位(VDD, VSS)により、高耐圧回路部13内の厚膜タイプMOSトランジスタが駆動され、電源電位(Vdd, VSS)により、低耐圧回路部15内の薄膜タイプMOSトランジスタが駆動される。

【0021】

ここで、薄膜タイプMOSトランジスタは、電源電圧VDDよりも小さなゲート耐圧しか有していないが、例えば、半導体集積回路内に降圧回路14を配置し、この降圧回路14を用いて、電源電位VDDから内部電源電位Vdd(<VDD)を生成し、この内部電源電位Vddにより薄膜タイプMOSトランジスタを駆動すれば、十分に正常動作を行うことができる。

【0022】

このように、例えば、内部回路12の一部を、薄膜タイプMOSトランジスタから構成される低耐圧回路部15にすれば、内部回路12の動作速度を向上できる。

【0023】

しかし、このような厚膜タイプMOSトランジスタと薄膜タイプMOSトランジスタとが混在した半導体集積回路に対しては、従来、ESDによるサージから内部回路を保護するためのESD保護回路の検討が十分に行われていなかった。

【0024】

つまり、このような半導体集積回路において、仮に、ESDによるサージが外部端子に入力された場合には、従来タイプのESD保護回路(図17及び図18)により、厚膜タイプMOSトランジスタについては保護できるが、例えば、図20に示すように、薄膜タイプMOSトランジスタに対しては、そのゲート耐圧を越える電圧がゲート酸化膜に印加されることがあり、低電圧回路部が破壊される、という問題があった。

【0025】

このように、特に、単一電源電圧タイプの近年の半導体集積回路においては、電源端子などの外部端子に直接接続される部分で保護回路によりサージを吸収するのみでは、内部回路の全てを保護できない場合があり、このような問題に対する対策を検討する必要がある。

【0026】

本発明の目的は、厚膜タイプMOSトランジスタと薄膜タイプMOSトランジスタとが混在する半導体集積回路において、ESDによるサージから薄膜タイプMOSトランジスタを有効に保護できるESD保護回路を提案することにある。

【課題を解決するための手段】

【0027】

本発明の例に関わる半導体集積回路は、単一電源電圧により駆動される内部回路と、前記内部回路をサージから保護する第1保護回路とを備える。前記内部回路は、第1MOSトランジスタから構成される高耐圧回路部と、前記第1MOSトランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有する第2MOSトランジスタから構成される低耐圧回路部と、前記低耐圧回路部に直接接続され、前記第2MOSトランジスタをサージから保護する第2保護回路とを含んでいる。

【0028】

本発明の例に関わる半導体集積回路は、第1MOSトランジスタから構成され、単一電源電圧により駆動される高耐圧回路部と、前記高耐圧回路部をサージから保護する第1保護回路とを備える。前記高耐圧回路部は、前記第1MOSトランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有する第2MOSトランジスタから構成される低耐圧回路部と、前記低耐圧回路部に直接接続され、前記第2MOSトランジスタをサージから保護する第2保護回路とを含んでいる。

【0029】

本発明の例に関わる半導体集積回路は、第1MOSトランジスタから構成され、第1電

源電圧により駆動される第1内部回路と、前記第1MOSトランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有する第2MOSトランジスタから構成され、前記第1電源電圧よりも低い第2電源電圧により駆動され、前記第1内部回路に対してデータのやりとりを行う第2内部回路と、前記第1内部回路に直接接続され、前記第1MOSトランジスタをサージから保護する第1保護回路と、前記第2内部回路に直接接続され、前記第2MOSトランジスタをサージから保護する第2保護回路とを備える。

【発明の効果】

【0030】

本発明の例によれば、高電圧により駆動される厚膜タイプMOSトランジスタと低電圧により駆動される薄膜タイプMOSトランジスタとが混在する半導体集積回路に対しても、ESDによるサージから薄膜タイプMOSトランジスタを有効に保護できる。

【発明を実施するための最良の形態】

【0031】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0032】

1. 全体構成

(1) 第1例

図1は、本発明の第1例に関わるESD保護回路を示している。

【0033】

第1例に関わるESD保護回路は、内部回路12が、高耐圧回路部13及び低耐圧回路部15から構成され、チップに供給される電源電位VDDが1種類（接地電位は算入しない）である単一電源電圧タイプの半導体集積回路（IC）20を対象とする。

【0034】

高耐圧回路部13は、電源電圧VDD（＝VDD（例えば、3.3V）－VSS（0V））にも十分に耐えることができる厚さのゲート酸化膜を有する厚膜タイプMOSトランジスタから構成される。厚膜タイプMOSトランジスタのゲート耐圧は、電源電圧VDDよりも高い値（例えば、12V）に設定されている。

【0035】

ESD保護回路10A、10B、10Cは、入出力回路11及び高耐圧回路部13内の厚膜タイプMOSトランジスタをそれぞれ保護する。なお、図1の内部回路12は、図17及び図18における内部回路12に相当する。

【0036】

低耐圧回路部15は、例えば、降圧回路14により生成された内部電源電圧Vdd（＝Vdd（例えば、1.5V）－VSS（0V））にも十分に耐えることができる厚さのゲート酸化膜を有する薄膜タイプMOSトランジスタから構成される。薄膜タイプMOSトランジスタのゲート耐圧は、内部電源電圧Vddよりも高い値（例えば、4V）に設定されるが、この値は、厚膜タイプMOSトランジスタのゲート耐圧よりは小さい。

【0037】

第1例に関わるESD保護回路は、低耐圧回路部15を構成する薄膜タイプMOSトランジスタを保護するために、薄膜タイプMOSトランジスタに個別に付加される。

【0038】

例えば、ESD保護回路をコンデンサとし、MOSトランジスタのソース／バルクとゲートとの間にコンデンサを接続する。これにより、サージ（パルス）による電圧が、MOSトランジスタのソース／バルクとゲートとの間に印加されたときに、両電極（ソース／バルク及びゲート）が強制的に短絡されるため、MOSトランジスタの破壊を防止できる（（a）及び（b））。

【0039】

また、例えば、ESD保護回路をダイオードとし、MOSトランジスタのソース／バルクとゲートとの間にダイオードを接続する。これにより、サージ（パルス）による電圧が

、MOSトランジスタのソース／バルクとゲートとの間に印加されたときであっても、両電極（ソース／バルク及びゲート）の間の電圧は、所定値以上に上昇することがないため、MOSトランジスタの破壊を防止できる（（c）及び（d））。

【0040】

なお、降圧回路14は、電源端子と接地端子の間の中間ノードの電位の上限にリミッタをかけるような素子又は回路、などの簡単なものに変えてもよい。

【0041】

例えば、図7に示すような回路（レベルシフタ）の場合は、MOSトランジスタ自体が電圧を降下させる機能を有するため、厚膜タイプMOSトランジスタと薄膜タイプMOSトランジスタとが混在する。

【0042】

また、ダイオードには、図示するような、ダイオード接続されたMOSトランジスタの他、ダイオード素子をそのまま用いても構わない。

【0043】

E S D保護回路は、低耐圧回路部15内の薄膜タイプMOSトランジスタのうち、サージによりゲート破壊が生じ易いもの、例えば、内部電源電圧V d dを直接受けるMOSトランジスタや、高耐圧回路部13に対するデータのやりとりに直接関与するMOSトランジスタに接続するのがよい。

【0044】

ところで、低耐圧回路部15を構成する薄膜タイプMOSトランジスタのなかには、E S Dによるサージの影響を受け易いものと、そうでないものとが存在する。例えば、サージが印加されている状態であっても、ゲート電圧の上昇が発生しないMOSトランジスタも存在する。このようなサージの影響を受ける度合いは、内部回路（ロジック）の構成や、リセットなどの初期化を制御するロジックの構成などに依存する。

【0045】

そこで、予め、E S Dによるサージの影響を受け易いMOSトランジスタを検証、特定しておき、そのMOSトランジスタについてのみ、本発明の例に関わるE S D保護回路を適用すれば、回路サイズのデメリットは、最小限に抑えることができる。

【0046】

このように、本発明の例では、図17及び図18に示すような、I/Oピンや電源ピンなどの外部端子から入力されたサージを、直接、吸収するためのE S D保護回路10A、10B、10Cに加えて、薄膜タイプMOSトランジスタを個別に保護するためのE S D保護回路を新規に設けている。また、薄膜タイプMOSトランジスタを個別に保護するためのE S D保護回路の特性は、そのMOSトランジスタのゲート耐圧などを考慮して、個別に設定される。

【0047】

これにより、仮に、E S D保護回路10A、10B、10Cにより防げないサージであっても、薄膜タイプMOSトランジスタに影響を与えるようなサージが入力された場合であっても、本発明の例に関わる保護回路を用いることにより、個別に、薄膜トランジスタを保護でき、半導体集積回路のE S Dに対する耐性を向上できる。

【0048】

(2) 第2例

図2は、本発明の第2例に関わるE S D保護回路を示している。

【0049】

第2例は、上述の第1例の変形例である。第2例は、低耐圧回路部（薄膜タイプMOSトランジスタ）15及び低耐圧回路部15のためのE S D保護回路10A'、10B'、10C'が、内部回路（高耐圧回路部）12A内に配置されている点に特徴を有する。

【0050】

内部電源電位V d dは、内部回路12A内に形成される降圧回路により生成してもよいし、また、電源端子と接地端子の間の中間ノードの電位の上限にリミッタをかけるような

素子又は回路を用いて生成してもよい。

【0051】

ESD保護回路10A, 10B, 10Cによる保護対象は、内部回路12A内の厚膜タイプMOSトランジスタである。これに対し、ESD保護回路10A', 10B', 10C'による保護対象は、低耐圧回路部15内の薄膜タイプMOSトランジスタである。

【0052】

ここで、ESD保護回路10A, 10B, 10CにESD保護回路10A', 10B', 10C'の機能も付加し、ESD保護回路10A', 10B', 10C'を省略しようとする考えがあるが、それは、不可能である。

【0053】

なぜなら、ESD保護回路10A, 10B, 10CにESD保護回路10A', 10B', 10C'の機能を付加する場合は、図4に示すように、ESD保護回路10A, 10B, 10Cのクランプ電圧 V_{clamp2} を、ESD保護回路10A', 10B', 10C'のクランプ電圧 V_{clamp1} まで下げなければならない。しかし、クランプ電圧 V_{clamp1} は、厚膜タイプMOSトランジスタの動作電圧の範囲に含まれるため、結果として、そのようにすることは、不可能となるからである。

【0054】

なお、クランプ電圧 V_{clamp1} , V_{clamp2} とは、図5に示すように、ESD保護回路に電流が流れ出す電位のことをいい、内部回路12A内においてクランプ電圧 V_{clamp1} , V_{clamp2} を超える電圧が発生することはない。

【0055】

第2例の内部回路12Aの具体例としては、例えば、図6に示すようなPLL回路がある。このPLL回路の場合、内部回路12Aの一部が低耐圧回路部15から構成されることで、PLL回路の動作の高速化などを図ることができる。

【0056】

(3) 第3例

図9は、本発明の第3例に関わるESD保護回路を示している。

【0057】

第3例に関わるESD保護回路は、複数電源電圧（本例では、二電源電圧）タイプの半導体集積回路（IC）20を対象とする。

【0058】

本発明の例は、上述したような単一電源電圧タイプの半導体集積回路に有効であるが、例えば、以下に説明するような複数電源電圧タイプの半導体集積回路に適用することも可能である。

【0059】

半導体集積回路20内には、内部回路（高耐圧回路部）12A及び内部回路（低耐圧回路部）12Bが配置される。内部回路12A, 12Bは、互いに、直接、データのやりとりを行う関係にある。

【0060】

内部回路（高耐圧回路部）12Aには、電源電圧 V_{DD} （= V_{DD} （例えば、3.3V）- V_{SS} （0V））が供給される。内部回路12Aは、電源電圧 V_{DD} にも十分に耐えることができる厚さのゲート酸化膜を有する厚膜タイプMOSトランジスタから構成される。厚膜タイプMOSトランジスタのゲート耐圧は、電源電圧 V_{DD} よりも高い値（例えば、12V）に設定されている。

【0061】

ESD保護回路10A, 10B, 10Cは、入出力回路11及び内部回路（高耐圧回路部）12A内の厚膜タイプMOSトランジスタをそれぞれ保護する。

【0062】

内部回路（低耐圧回路部）12Bには、電源電圧 V_{dd} （= V_{dd} （例えば、1.5V）- V_{SS} （0V））が供給される。内部回路12Bは、電源電圧 V_{dd} にも十分に耐え

ることができる厚さのゲート酸化膜を有する薄膜タイプMOSトランジスタから構成される。薄膜タイプMOSトランジスタのゲート耐圧は、電源電圧 V_{dd} よりも高い値（例えば、4V）に設定されている。

【0063】

ESD保護回路10A'，10B'，10C'は、内部回路（低耐圧回路部）12B内の薄膜タイプMOSトランジスタを保護する。

【0064】

ESD保護回路10A'，10B'，10C'は、内部回路12Bの全体をまとめて保護してもよいし、内部回路12B内の薄膜タイプMOSトランジスタを個別に保護してもよい。後者の場合は、上述の第1及び第2例と同様に、保護が必要なトランジスタとそうでないトランジスタとに分け、保護が必要なトランジスタにESD保護回路10A'，10B'，10C'を直接接続する。

【0065】

このように、本発明の例では、I/Oピンや電源ピンなどの外部端子から入力されたサージを、直接、吸収するためのESD保護回路10A，10B，10Cに加えて、薄膜タイプMOSトランジスタを保護するためのESD保護回路10A'，10B'，10C'を新規に設けている。また、薄膜タイプMOSトランジスタを保護するためのESD保護回路10A'，10B'，10C'の特性は、そのMOSトランジスタのゲート耐圧などを考慮して設定される。

【0066】

これにより、薄膜タイプMOSトランジスタに影響を与えるようなサージが入力された場合であっても、本発明の例に関わるESD保護回路10A'，10B'，10C'を用いることにより、薄膜タイプMOSトランジスタを保護でき、半導体集積回路のESDに対する耐性を向上できる。

【0067】

(4) その他

表1は、本発明の適用範囲を示している。

【表1】

	単一電源	複数電源
厚膜タイプ MOSトランジスタ	従来タイプの 保護回路で保護	従来タイプの 保護回路で保護
薄膜タイプ MOSトランジスタ	本発明の 保護回路で保護	従来タイプ又は 本発明の 保護回路で保護

【0068】

本発明の例は、単一電源電位を受けるICチップ内の薄膜タイプMOSトランジスタの保護に最も有効である（第1例及び第2例）。なお、単一電源電位を受けるICチップ内の厚膜タイプMOSトランジスタについては、従来の保護回路により保護できる。

【0069】

複数電源電位を受けるICチップ内の厚膜タイプMOSトランジスタについては、従来の保護回路により保護できる。複数電源電位を受けるICチップ内の薄膜タイプMOSトランジスタについては、第3例に示すように、本発明の例を適用して保護することもできる。

【0070】

2. 実施例

以下、本発明の例に関わる ESD 保護回路の実施例について説明する。

(1) 第 1 実施例

第 1 実施例は、低耐圧回路部の MOS トランジスタに、いわゆる R (抵抗) C (キャパシタ) 型の ESD 保護回路を接続した例である。

【0071】

図 8 は、薄膜タイプ P チャンネル MOS トランジスタに対する ESD 保護回路の例を示している。

【0072】

P チャンネル MOS トランジスタ QP (thin) のソースとバルク (例えば、N ウェル) は、内部電源電位 Vdd が印加される Vdd ノード A1 に接続される。MOS トランジスタ QP (thin) のドレインは、例えば、他の MOS トランジスタに接続される。MOS トランジスタ QP (thin) のゲートは、保護回路 16A に接続される。

【0073】

保護回路 16A は、抵抗 R とキャパシタ C から構成される。キャパシタ C は、Vdd ノード A1 と MOS トランジスタ QP (thin) のゲートとの間に接続される。抵抗 R は、内部ノード A2 と MOS トランジスタ QP (thin) のゲートとの間に接続される。

【0074】

このような回路において、例えば、ESD によるサージに起因し、MOS トランジスタ QP (thin) のゲートとソースとの間に高電圧が印加される状況になっても、保護回路 16A が有する一定の時定数により、MOS トランジスタ QP (thin) のゲートとソースとの間に高電圧が印加されるのを防ぐことができる。このため、MOS トランジスタ QP (thin) のゲート酸化膜の破壊を防止できる。

【0075】

図 9 は、薄膜タイプ N チャンネル MOS トランジスタに対する ESD 保護回路の例を示している。

【0076】

N チャンネル MOS トランジスタ QN (thin) のソースとバルク (例えば、P ウェル) は、電源電位 (例えば、接地電位) VSS が印加される VSS ノード B1 に接続される。MOS トランジスタ QN (thin) のドレインは、例えば、他の MOS トランジスタに接続される。MOS トランジスタ QN (thin) のゲートは、保護回路 16B に接続される。

【0077】

保護回路 16B は、抵抗 R とキャパシタ C から構成される。キャパシタ C は、VSS ノード B1 と MOS トランジスタ QN (thin) のゲートとの間に接続される。抵抗 R は、内部ノード B2 と MOS トランジスタ QN (thin) のゲートとの間に接続される。

【0078】

このような回路において、例えば、ESD によるサージに起因し、MOS トランジスタ QN (thin) のゲートとソースとの間に高電圧が印加される状況になっても、保護回路 16B が有する一定の時定数により、MOS トランジスタ QN (thin) のゲートとソースとの間に高電圧が印加されるのを防ぐことができる。このため、MOS トランジスタ QN (thin) のゲート酸化膜の破壊を防止できる。

【0079】

ここで、図 8 及び図 9 における保護回路の時定数は、サージに起因する不要な高電圧に対してのみ、MOS トランジスタ QP (thin), QN (thin) への伝達を禁止するようにするため、以下のように設定される。

信号の遷移時間 $T1 > \text{時定数 } \tau > \text{ESD 印加時間 } T2 \cdots (1)$

信号の遷移時間 $T1$ とは、MOS トランジスタ QP (thin), QN (thin) に入力される信号のレベルが変化してから次に変化するまでの時間のことである。ESD 印加時間 $T2$ とは、サージが半導体集積回路に供給されている期間 (サージパルスの幅) の

ことである。

【0080】

半導体集積回路に対しては、通常、ESD性能についての規格が厳密に定められており、製品の出荷前に、この規格が満たされているか否かがテストされる。つまり、テストをクリアした製品については、ある一定のサージに対する安全性が保証される。

【0081】

テストは、例えば、図15に示すようなテスト回路を用いて実行され、HBM (Human Body Model) では、例えば、約150 ns ($= 1.5 \text{ k}\Omega \times 100 \text{ pF}$) のサージが生成される。

【0082】

そこで、例えば、ESD印加時間 T_2 としては、この値、約150 nsを採用する。但し、本発明の保護回路の時定数 τ としては、十分な余裕を見込んで、例えば、ESD印加時間 T_2 の3倍以上、例えば、約500 nsとする。

【0083】

上記(1)式から分かるように、第1実施例に関わる保護回路では、信号速度が高速化され、信号の遷移時間 T_1 が短くなると(T_1 の値が小さくなると)、時定数 τ の範囲が狭くなり、場合によっては、 $T_1 < T_2$ となって、時定数 τ の範囲自体がなくなってしまうことも考えられる。

【0084】

従って、第1実施例に関わるESD保護回路は、特に、高速に遷移する信号を取り扱わないような半導体集積回路に有効である。

【0085】

(2) 第2実施例

第2実施例は、低耐圧回路部のMOSトランジスタに、いわゆるダイオード型のESD保護回路を接続した例である。

【0086】

図10は、薄膜タイプPチャネルMOSトランジスタに対するESD保護回路の例を示している。

【0087】

PチャネルMOSトランジスタQP (thin) のソースとバルク (例えば、Nウェル) は、内部電源電位Vddが印加されるVddノードC1に接続される。MOSトランジスタQP (thin) のドレインは、例えば、他のMOSトランジスタに接続される。MOSトランジスタQP (thin) のゲートは、保護回路16Cに接続される。

【0088】

保護回路16Cは、VddノードC1とMOSトランジスタQP (thin) のゲートとの間に直列接続される複数個 (本例では、3個) のダイオードDI1, DI2, DI3から構成される。

【0089】

ダイオードDI1, DI2, DI3は、例えば、ダイオード接続されたPチャネルMOSトランジスタから構成される。このMOSトランジスタが形成されるバルク (例えば、Nウェル) は、VddノードC1に接続され、かつ、このMOSトランジスタのゲートとドレインは、互いに接続される。

【0090】

このような回路において、例えば、ESDによるサージに起因し、MOSトランジスタQP (thin) のゲートとソースとの間に高電圧が印加されると、保護回路16Cは、この高電圧を吸収する。つまり、MOSトランジスタQP (thin) のゲートとソースとの間に印加される電圧が一定値を越えると、ダイオードDI1, DI2, DI3に電流が流れ出すため、MOSトランジスタQP (thin) のゲート酸化膜の破壊を防止できる。

【0091】

図11は、薄膜タイプNチャネルMOSトランジスタに対するESD保護回路の例を示している。

【0092】

NチャネルMOSトランジスタQN (thin) のソースとバルク (例えば、Pウェル) は、電源電位 (例えば、接地電位) VSSが印加されるVSSノードD1に接続される。MOSトランジスタQN (thin) のドレインは、例えば、他のMOSトランジスタに接続される。MOSトランジスタQN (thin) のゲートは、保護回路16Dに接続される。

【0093】

保護回路16Dは、VSSノードD1とMOSトランジスタQN (thin) のゲートとの間に直列接続される複数個 (本例では、3個) のダイオードDI4, DI5, DI6から構成される。

【0094】

ダイオードDI4, DI5, DI6は、例えば、ダイオード接続されたNチャネルMOSトランジスタから構成される。このMOSトランジスタが形成されるバルク (例えば、Pウェル) は、VSSノードD1に接続され、かつ、このMOSトランジスタのゲートとドレインは、互いに接続される。

【0095】

このような回路において、例えば、ESDによるサージに起因し、MOSトランジスタQN (thin) のゲートとソースとの間に高電圧が印加されると、保護回路16Dは、この高電圧を吸収する。つまり、MOSトランジスタQN (thin) のゲートとソースとの間に印加される電圧が一定値を越えると、ダイオードDI4, DI5, DI6に電流が流れ出すため、MOSトランジスタQN (thin) のゲート酸化膜の破壊を防止できる。

【0096】

ここで、図10及び図11における保護回路では、MOSトランジスタQP (thin), QN (thin) のゲートとソースとの間に印加される最大の電圧は、保護回路16C, 16Dを構成するダイオードの数により決定される。即ち、これらダイオードにより、MOSトランジスタQP (thin), QN (thin) のゲートとソースとの間に印加される電圧は、一定値を超えることができない。

【0097】

この一定値をクランプ電圧を称することにする。

【0098】

図12は、第2実施例に関わる保護回路のクランプ特性、即ち、クランプ電圧とゲート耐圧との関係を示している。

【0099】

第2実施例に関わる保護回路では、本来の目的を達成するため、クランプ電圧V1は、保護の対象となる薄膜タイプMOSトランジスタのゲート耐圧V2よりも低い値に設定される。一方、クランプ電圧V1は、通常動作に悪影響を与えないようにするため、通常動作時に、保護の対象となる薄膜タイプMOSトランジスタに印加される電圧の範囲 (通常動作時の電圧範囲) の最大値よりも大きくなければならない。

【0100】

従って、クランプ電圧は、以下の範囲に設定される。

$$\begin{aligned} \text{ゲート耐圧 } V2 > \text{クランプ電圧 } V1 > \text{通常動作時の電圧範囲の最大値} \\ \dots (2) \end{aligned}$$

このような範囲内で、第2実施例に関わるESD保護回路を使用することにより、高速に変化する信号であっても、通常動作に悪影響を与えることなく、ESDに対する耐性を向上できる。

【0101】

(3) 第3実施例

第3実施例は、低耐圧回路部のMOSトランジスタに、いわゆるアナログスイッチ型のESD保護回路を接続した例である。

【0102】

図13は、薄膜タイプPチャネルMOSトランジスタに対するESD保護回路の例を示している。

【0103】

PチャネルMOSトランジスタQP (thin) のソースとバルク (例えば、Nウェル) は、内部電源電位Vddが印加されるVddノードE1に接続される。MOSトランジスタQP (thin) のドレインは、例えば、他のMOSトランジスタに接続される。MOSトランジスタQP (thin) のゲートは、保護回路16Eに接続される。

【0104】

保護回路16Eは、抵抗R1、キャパシタC1、インバータI1, I2、トランスファゲートTG及びPチャネルMOSトランジスタQP1から構成される。

【0105】

抵抗R1とキャパシタC1は、VddノードE1とVSSノードE3との間に直列接続される。抵抗R1とキャパシタC1の接続ノードは、インバータI1を経由して、トランスファゲートTGを構成するPチャネルMOSトランジスタのゲートに接続される。また、その接続ノードは、インバータI1, I2を経由して、トランスファゲートTGを構成するNチャネルMOSトランジスタのゲートに接続される。

【0106】

信号は、内部ノードE2からトランスファゲートTGを経由して、MOSトランジスタQP (thin) のゲートに入力される。MOSトランジスタQP1のソース/バルクは、VddノードE1に接続され、ドレインは、MOSトランジスタQP (thin) のゲートに接続され、ゲートは、インバータI2の出力端に接続される。

【0107】

このような回路においては、通常動作時には、インバータI1の出力信号は、“L (= VSS)”、インバータI2の出力信号は、“H (= Vdd)”であり、トランスファゲートTGは、オン状態、MOSトランジスタQP1は、オフ状態となっている。

【0108】

ここで、例えば、通常動作時でない場合、例えば、ICを実装する前のIC搬送時などにおいて、ESDによるサージが印加された場合を考える。この場合、ESDによるサージに起因し、仮に、内部ノードE2に正又は負の高電位が伝わったとしても、E1 (Vdd) 及びE3 (VSS) は、フローティング状態又は0Vであるため、トランスファゲートTGは、オフ状態である。従って、保護すべきMOSトランジスタQP (thin) のゲートに正又は負の高電位が伝わることはなく、このMOSトランジスタQP (thin) のゲート酸化膜の破壊を防止できる。

【0109】

また、例えば、ICを実装する前のIC搬送時などにおいて、ESDによるサージに起因し、E1 (Vdd) 及び内部ノードE2に正又は負の高電位が伝わった場合であっても、トランスファゲートTGがオフ状態であるため、上述のように、MOSトランジスタQP (thin) のゲートにこの高電位が伝わることはない。また、抵抗R1及びキャパシタC1の時定数により決まる一瞬の間は、PチャネルMOSトランジスタQP1がオン状態になるため、E1 (Vdd) に正又は負の高電位が伝わっても、MOSトランジスタQP (thin) のゲートとソースがショートされ、保護すべきMOSトランジスタQP (thin) に高電圧が印加されることはない。従って、このMOSトランジスタQP (thin) のゲート酸化膜の破壊を防止できる。

【0110】

図14は、薄膜タイプNチャネルMOSトランジスタに対するESD保護回路の例を示している。

【0111】

NチャネルMOSトランジスタQN (thin) のソースとバルク (例えば、Pウェル) は、電源電位 (例えば、接地電位) VSSが印加されるVSSノードF3に接続される。MOSトランジスタQN (thin) のドレインは、例えば、他のMOSトランジスタに接続される。MOSトランジスタQN (thin) のゲートは、保護回路16Fに接続される。

【0112】

保護回路16Fは、抵抗R1、キャパシタC1、インバータI1, I2、トランスファゲートTG及びNチャネルMOSトランジスタQN1から構成される。

【0113】

抵抗R1とキャパシタC1は、VddノードF1とVSSノードF3との間に直列接続される。抵抗R1とキャパシタC1の接続ノードは、インバータI1を経由して、トランスファゲートTGを構成するPチャネルMOSトランジスタのゲートに接続される。また、その接続ノードは、インバータI1, I2を経由して、トランスファゲートTGを構成するNチャネルMOSトランジスタのゲートに接続される。

【0114】

信号は、内部ノードF2からトランスファゲートTGを経由して、MOSトランジスタQN (thin) のゲートに入力される。MOSトランジスタQN1のソース/バルクは、VSSノードF3に接続され、ドレインは、MOSトランジスタQN (thin) のゲートに接続され、ゲートは、インバータI1の出力端に接続される。

【0115】

このような回路においては、通常動作時には、インバータI1の出力信号は、“L (= VSS)”、インバータI2の出力信号は、“H (= Vdd)”であり、トランスファゲートTGは、オン状態、MOSトランジスタQN1は、オフ状態となっている。

【0116】

ここで、例えば、通常動作時でない場合、例えば、ICを実装する前のIC搬送時などにおいて、ESDによるサージが印加された場合を考える。この場合、ESDによるサージに起因し、仮に、内部ノードF2に正又は負の高電位が伝わったとしても、F1 (Vdd) 及びF3 (VSS) は、フローティング状態又は0Vであるため、トランスファゲートTGは、オフ状態である。従って、保護すべきMOSトランジスタQN (thin) のゲートに正又は負の高電位が伝わることはなく、このMOSトランジスタQN (thin) のゲート酸化膜の破壊を防止できる。

【0117】

また、例えば、ICを実装する前のIC搬送時などにおいて、ESDによるサージに起因し、F3 (VSS) 及び内部ノードF2に正又は負の高電位が伝わった場合であっても、トランスファゲートTGがオフ状態であるため、上述のように、MOSトランジスタQN (thin) のゲートにこの高電位が伝わることはない。また、抵抗R1及びキャパシタC1の時定数により決まる一瞬の間は、NチャネルMOSトランジスタQN1がオン状態になるため、F3 (VSS) に正又は負の高電位が伝わっても、MOSトランジスタQN (thin) のゲートとソースがショートされ、保護すべきMOSトランジスタQN (thin) に高電圧が印加されることはない。従って、このMOSトランジスタQN (thin) のゲート酸化膜の破壊を防止できる。

【0118】

このように、第3実施例の関わるESD保護回路では、例えば、電源 (Vdd, VSS) ノードにサージが侵入してきた場合には、その後、一定期間だけ、保護の対象となる薄膜タイプMOSトランジスタQP (thin), QN (thin) のゲートとソースとを短絡するため、これらMOSトランジスタを保護できる。

【0119】

第3実施例に関わるESD保護回路は、上述の第1及び第2実施例に関わるESD保護回路のように、信号速度やクランプ電圧に関する条件が設定されることがないため、特に、高速に遷移する信号を取り扱う半導体集積回路に有効である。

【0120】

3. 適用例

図16は、本発明の例に関わるESD保護回路が適用される半導体集積回路のレイアウトの一例を示している。

【0121】

チップ20の縁部には、I/O及び保護回路からなるブロックが配置される。ここでの保護回路は、図17及び図18に示すような従来タイプの保護回路10A、10B、10Cを意味している。チップ20の中央部には、複数の機能ブロックが配置される。例えば、CPU、RAM及びROMは、それぞれ機能ブロックの1つを表している。

【0122】

さらに、機能ブロックとして、チップ20内には、ロジック回路A、B、C、Dが配置される。ロジック回路A、B、Cは、例えば、電源電位VDD、VSSにより駆動される。これに対し、ロジック回路Dは、例えば、電源電位Vdd (<VDD)、VSSにより駆動される。

【0123】

本発明の例に関わるESD保護回路は、ロジック回路Dを構成するMOSトランジスタのうちの少なくとも1つ、又は、全てに適用される。

【0124】

4. その他

本発明の例に関わる半導体集積回路は、上述したように、単一電源電圧により駆動される内部回路と、内部回路をサージから保護する第1保護回路とを備える。内部回路は、第1MOSトランジスタから構成される高耐圧回路部と、第1MOSトランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有する第2MOSトランジスタから構成される低耐圧回路部と、低耐圧回路部に直接接続され、第2MOSトランジスタをサージから保護する第2保護回路とを含む。

【0125】

本発明の例に関わる半導体集積回路は、第1MOSトランジスタから構成され、単一電源電圧により駆動される高耐圧回路部と、高耐圧回路部をサージから保護する第1保護回路とを備える。高耐圧回路部は、第1MOSトランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有する第2MOSトランジスタから構成される低耐圧回路部と、低耐圧回路部に直接接続され、第2MOSトランジスタをサージから保護する第2保護回路とを含む。

【0126】

低耐圧回路部は、単一電源電圧を降圧することにより得られる内部電源電圧により駆動される。

【0127】

第2MOSトランジスタは、内部電源電圧を直接受ける素子である。

【0128】

第2MOSトランジスタは、高耐圧回路部からデータを直接受ける素子である。

【0129】

低耐圧回路部は、高耐圧回路部に対してデータのやりとりを行う。

【0130】

本発明の例に関わる半導体集積回路は、第1MOSトランジスタから構成され、第1電源電圧により駆動される第1内部回路と、第1MOSトランジスタのゲート絶縁膜よりも薄いゲート絶縁膜を有する第2MOSトランジスタから構成され、第1電源電圧よりも低い第2電源電圧により駆動され、第1内部回路に対してデータのやりとりを行う第2内部回路と、第1内部回路に直接接続され、第1MOSトランジスタをサージから保護する第1保護回路と、第2内部回路に直接接続され、第2MOSトランジスタをサージから保護する第2保護回路とを備える。

【0131】

第2MOSトランジスタは、第2電源電圧を直接受ける素子である。

【0132】

第2 MOS トランジスタは、データのやりとりに直接関与する素子である。

【0133】

第2 保護回路は、第2 MOS トランジスタに直接接続される。

【0134】

第2 保護回路は、抵抗とキャパシタから構成され、一定の時定数を持つ。時定数は、信号の遷移時間よりも小さい。

【0135】

第2 保護回路は、ダイオード又はダイオード接続された MOS トランジスタから構成され、ダイオード又はダイオード接続された MOS トランジスタによるクランプ電圧は、低耐圧回路部における通常動作時の電圧範囲の最大値よりも大きい。

【0136】

第2 保護回路は、ダイオード又はダイオード接続された MOS トランジスタから構成され、ダイオード又はダイオード接続された MOS トランジスタによるクランプ電圧は、第2 内部回路における通常動作時の電圧範囲の最大値よりも大きい。

【0137】

第2 保護回路は、アナログスイッチから構成される。

【0138】

第1 保護回路は、外部端子に直接接続され、第2 保護回路は、外部端子に直接接続されない。

【0139】

外部端子は、I/O 端子又は電源端子である。

【0140】

本発明の例は、上述の形態に限定されるものではなく、その要旨を逸脱しない範囲で、構成要素を変形して具体化できる。また、上述の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる形態の構成要素を適宜組み合わせてもよい。

【産業上の利用可能性】

【0141】

本発明の例に関わる ESD 保護回路は、ゲート耐圧の異なる複数の MOS トランジスタを有する半導体集積回路に有効であり、かつ、ロジック LSI、混載 LSI、システム LSI、メモリなど、MOS 型素子を有する様々な半導体集積回路に適用可能である。

【図面の簡単な説明】

【0142】

- 【図1】 本発明の第1例に関わる ESD 保護回路の概要を示す図。
- 【図2】 本発明の第2例に関わる ESD 保護回路の概要を示す図。
- 【図3】 本発明の第3例に関わる ESD 保護回路の概要を示す図。
- 【図4】 動作電圧の範囲とクランプ電圧との関係を示す図。
- 【図5】 クランプ電圧と電流との関係を示す図。
- 【図6】 PLL 回路への適用例を示す図。
- 【図7】 本発明の適用が可能なレベルシフタを示す図。
- 【図8】 第1実施例に関わる ESD 保護回路を示す図。
- 【図9】 第1実施例に関わる ESD 保護回路を示す図。
- 【図10】 第2実施例に関わる ESD 保護回路を示す図。
- 【図11】 第2実施例に関わる ESD 保護回路を示す図。
- 【図12】 第2実施例に関わる保護回路のクランプ特性を示す図。
- 【図13】 第3実施例に関わる ESD 保護回路を示す図。
- 【図14】 第3実施例に関わる ESD 保護回路を示す図。
- 【図15】 ESD に対するテスト回路の例を示す図。

【図 1 6】本発明の例に関わる E S D 保護回路の適用例を示す図。

【図 1 7】従来の保護回路を示す図。

【図 1 8】従来の保護回路を示す図。

【図 1 9】半導体集積回路の内部回路の例を示す図。

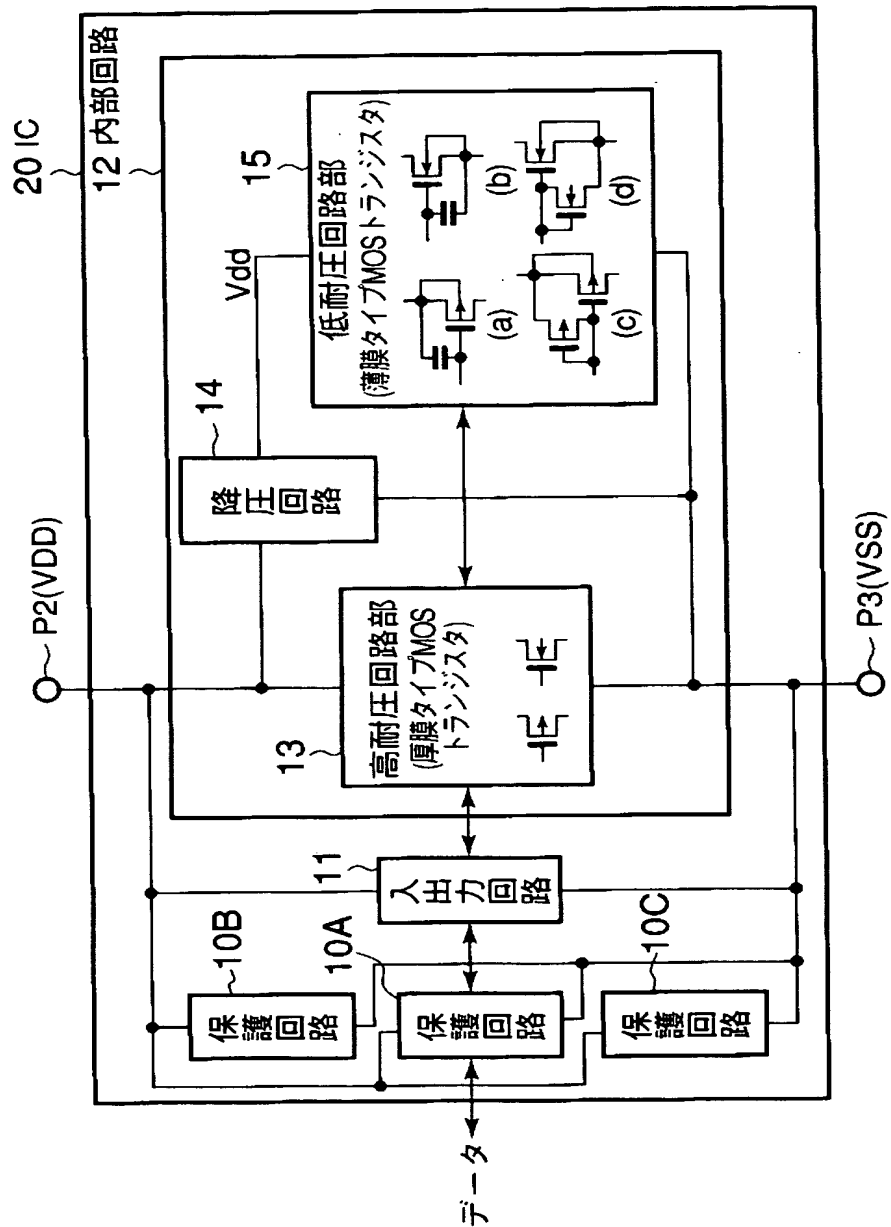
【図 2 0】従来の保護回路のクランプ特性を示す図。

【符号の説明】

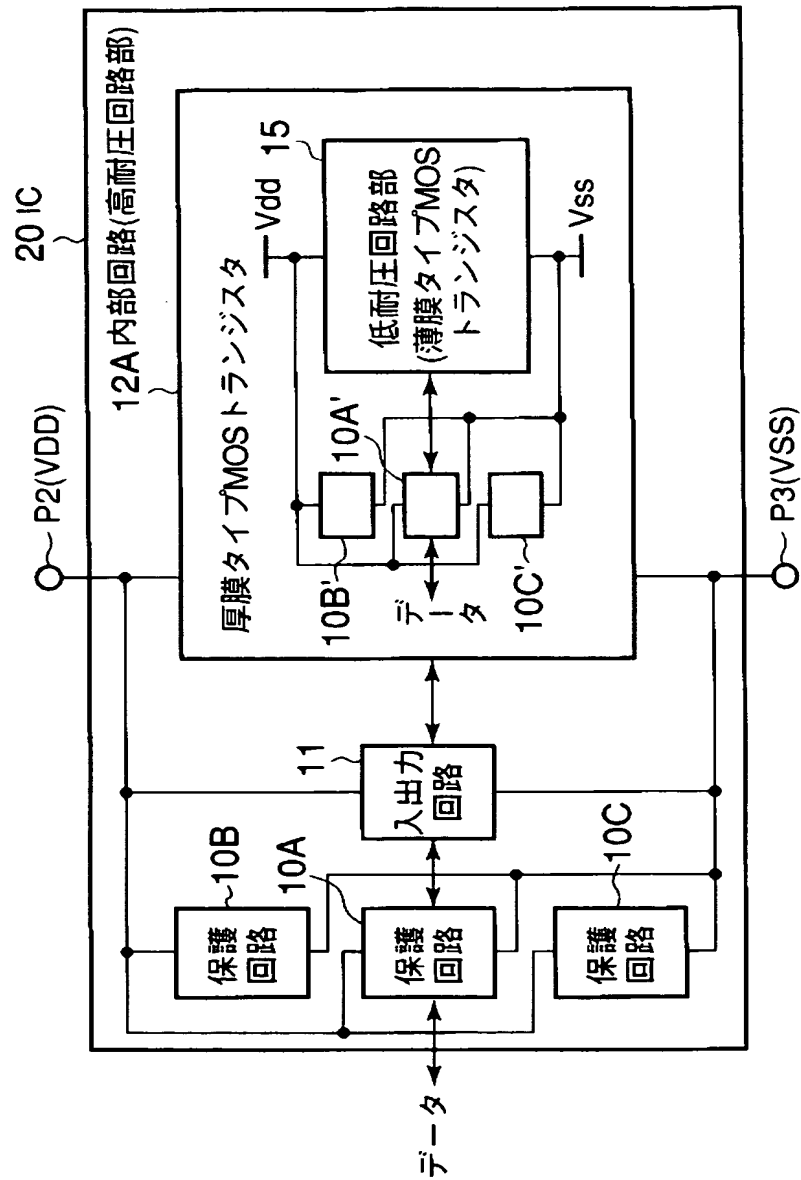
【 0 1 4 3 】

1 0, 1 0 A, 1 0 B, 1 0 C : E S D 保護回路、 1 1 : 入出力回路、 1 2 : 内部回路、 1 3 : 高耐圧回路部、 1 4 : 降圧回路、 1 5 : 低耐圧回路部、 1 6 A, 1 6 B : R C 型保護回路、 1 6 C, 1 6 D : ダイオード型保護回路、 1 6 E, 1 6 F : アナログスイッチ型保護回路、 2 0 : チップ、 P 1 : I / O ピン、 P 2 : V D D ピン、 P 3 : V S S ピン。

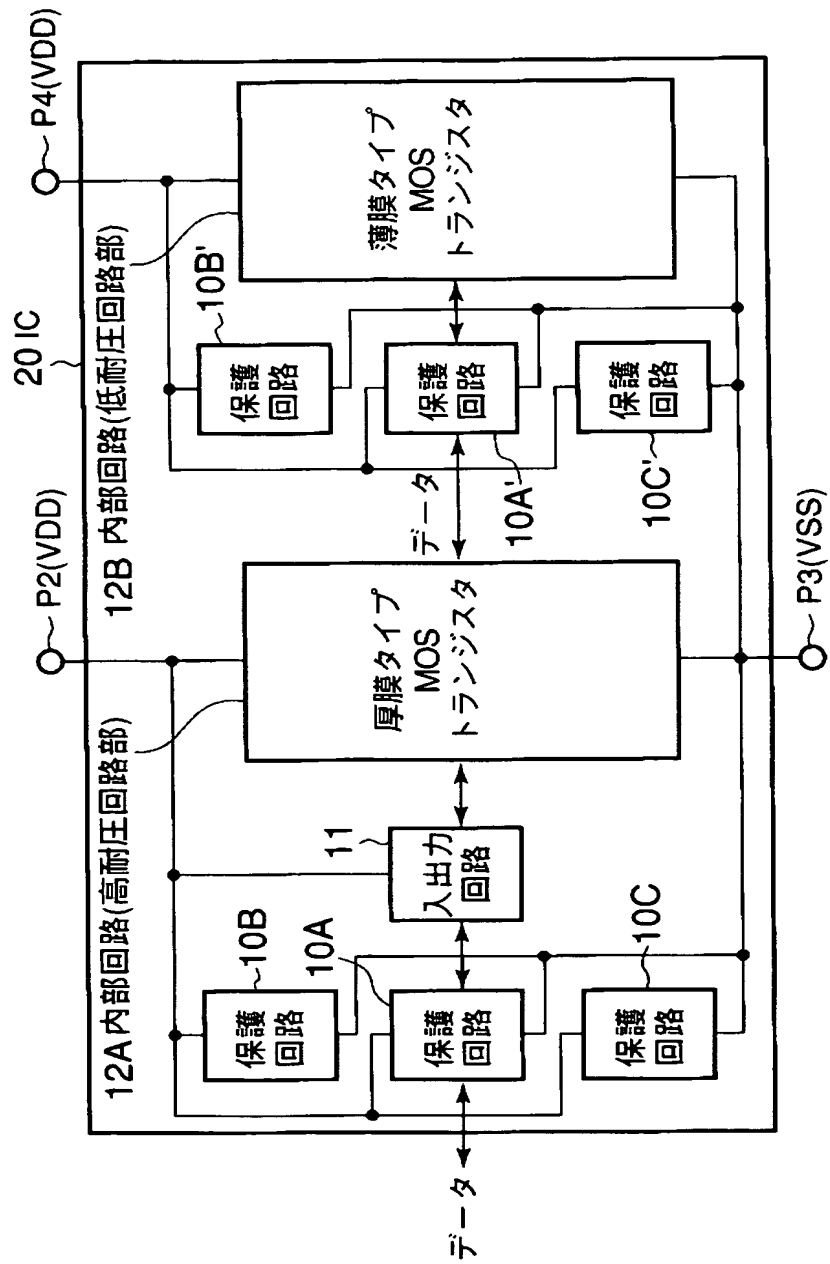
【書類名】 図面
【図 1】



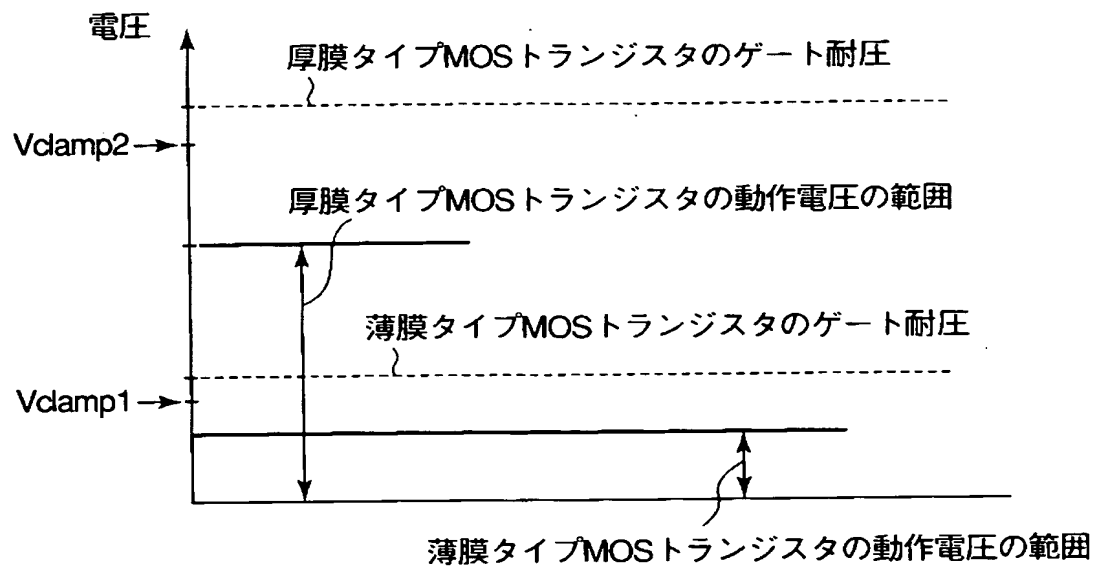
【図 2】



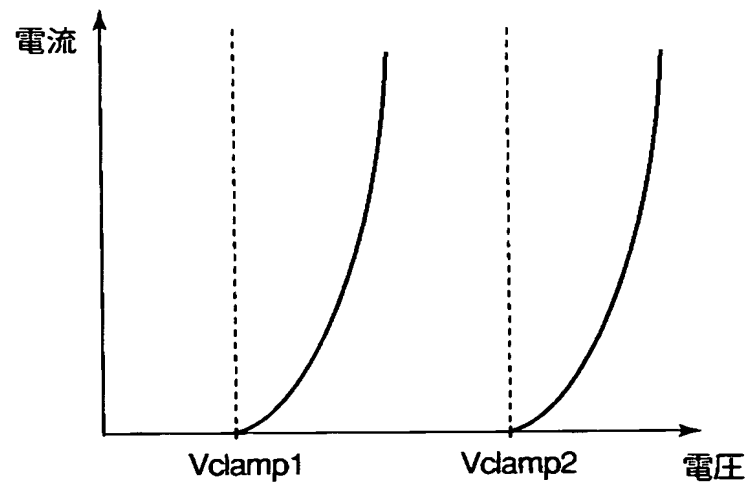
【図 3】



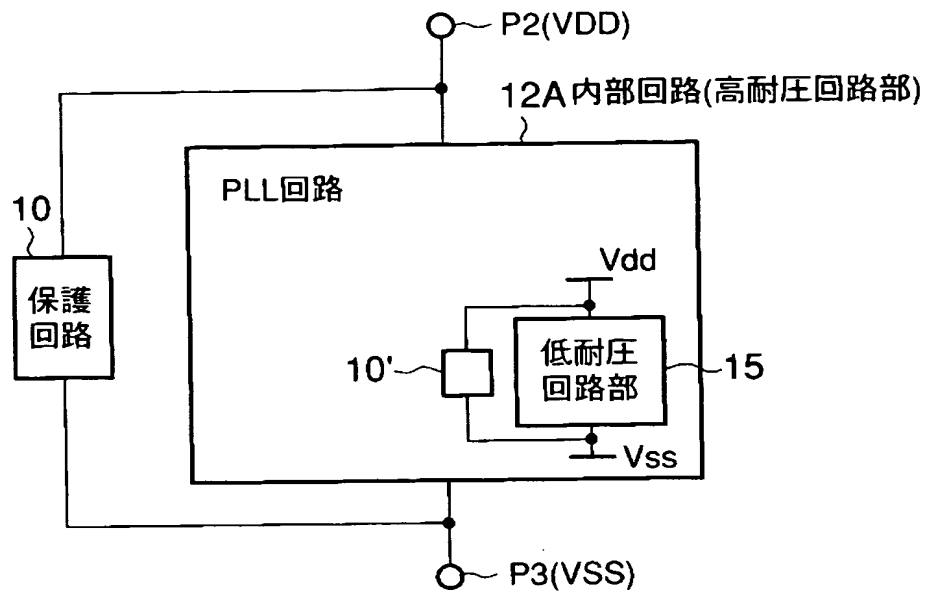
【図 4】



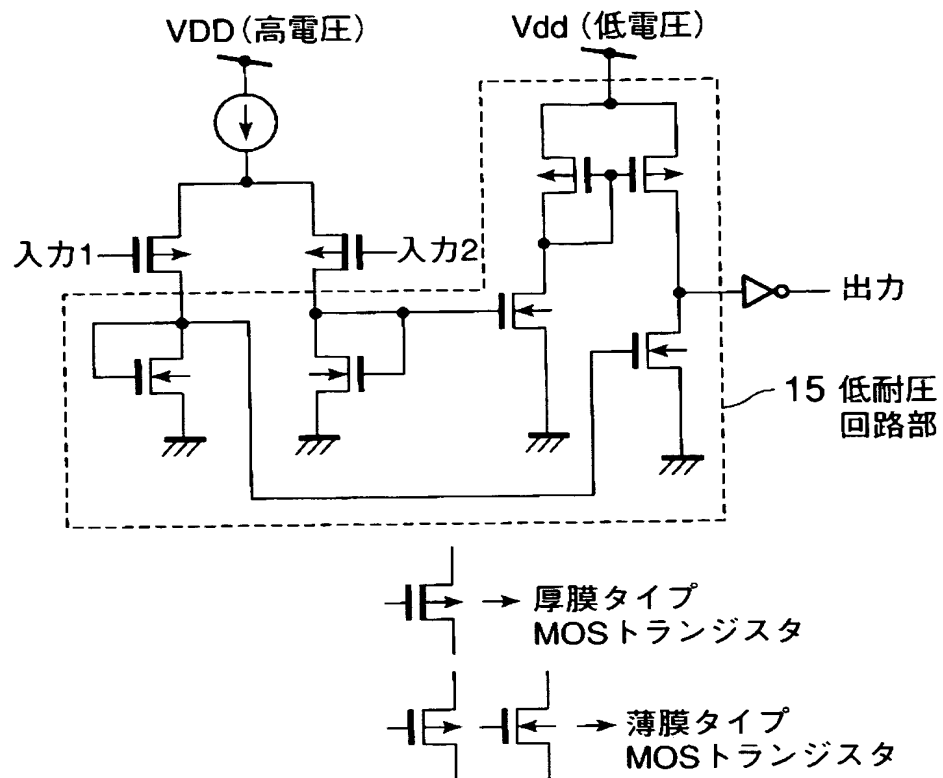
【図 5】



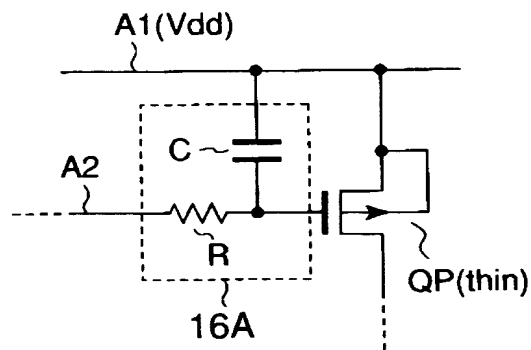
【図 6】



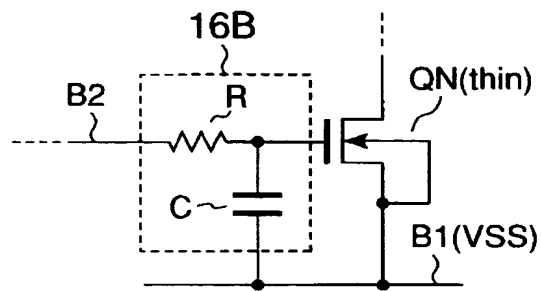
【図 7】



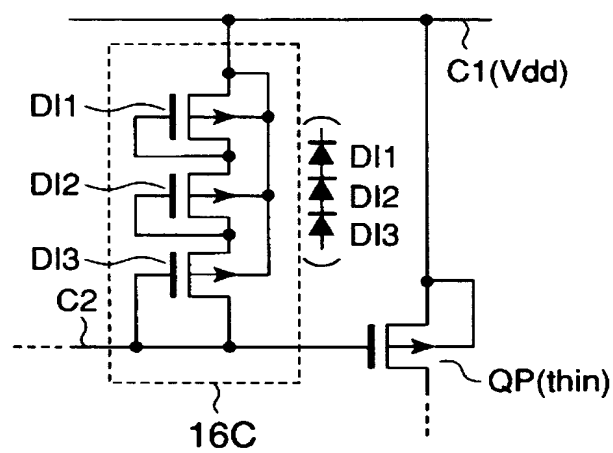
【図 8】



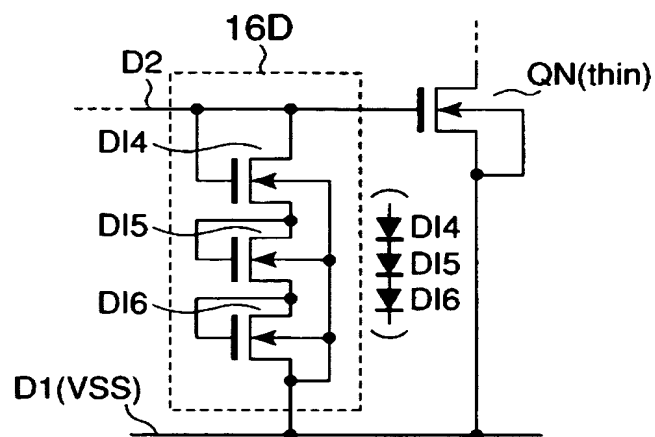
【図 9】



【図 10】

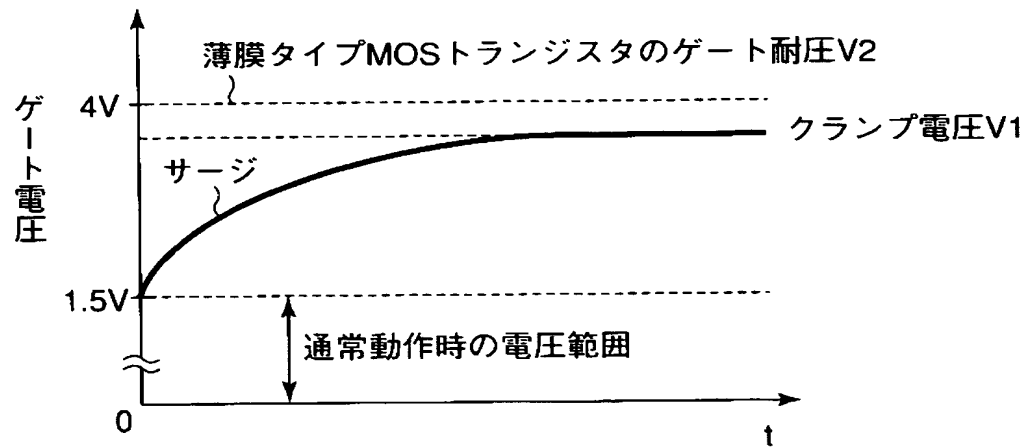


【図 11】

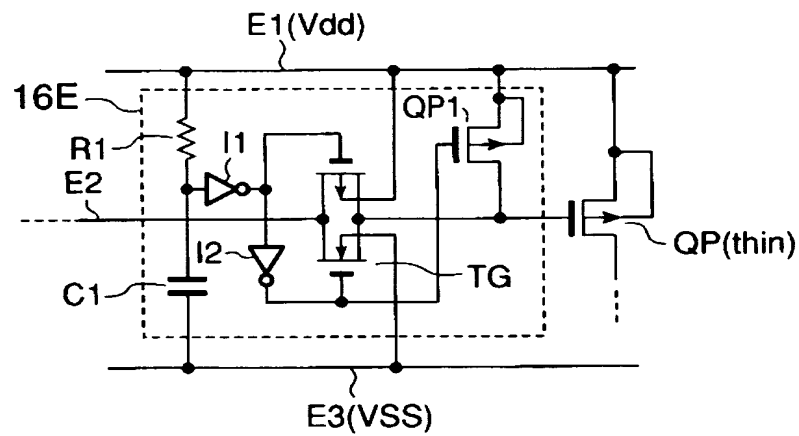


【図 1 2】

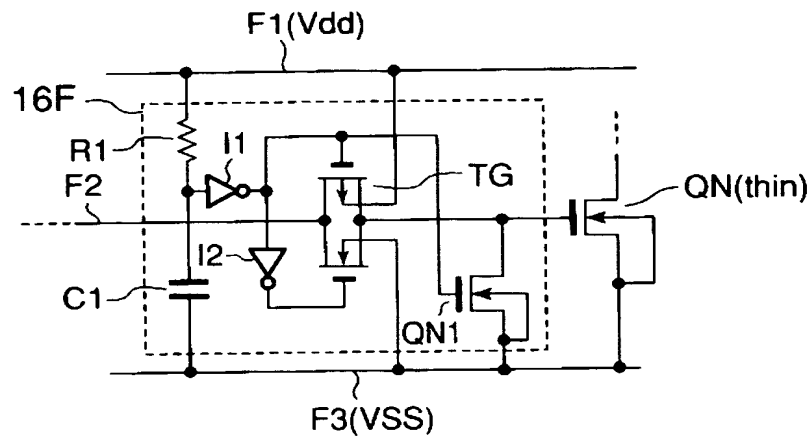
薄膜タイプMOSトランジスタ用保護回路のクランプ特性



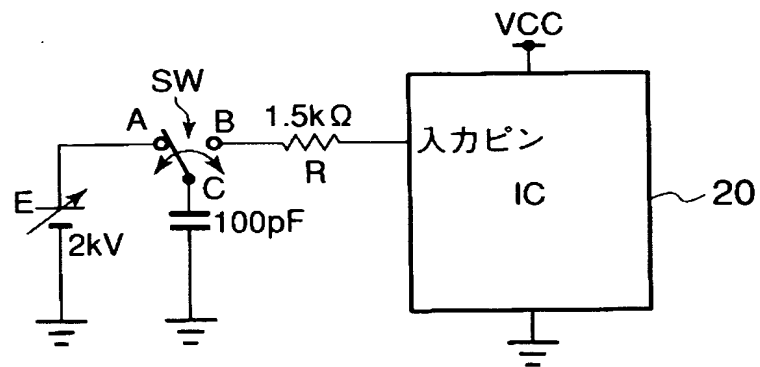
【図 1 3】



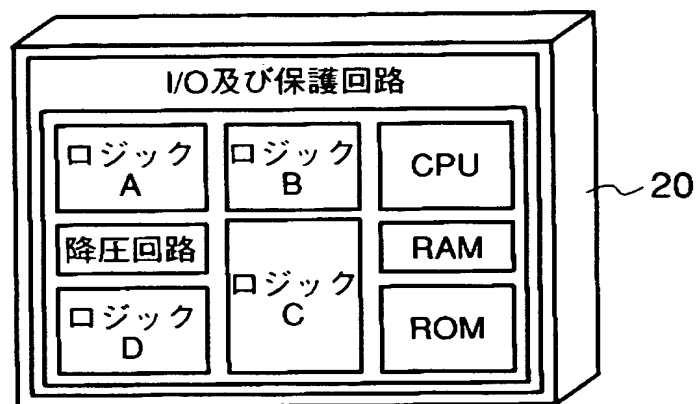
【図 14】



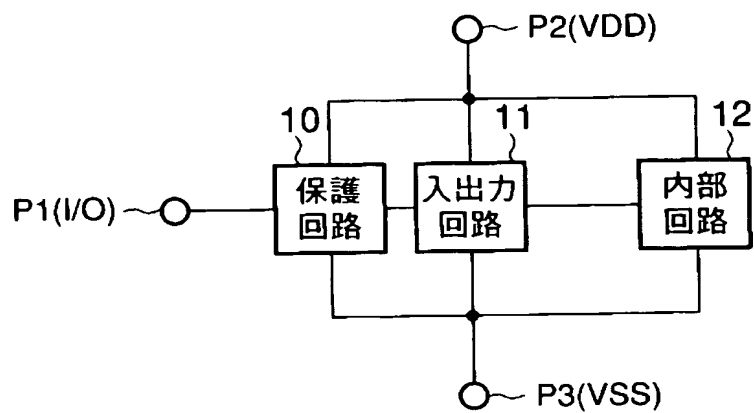
【図 15】



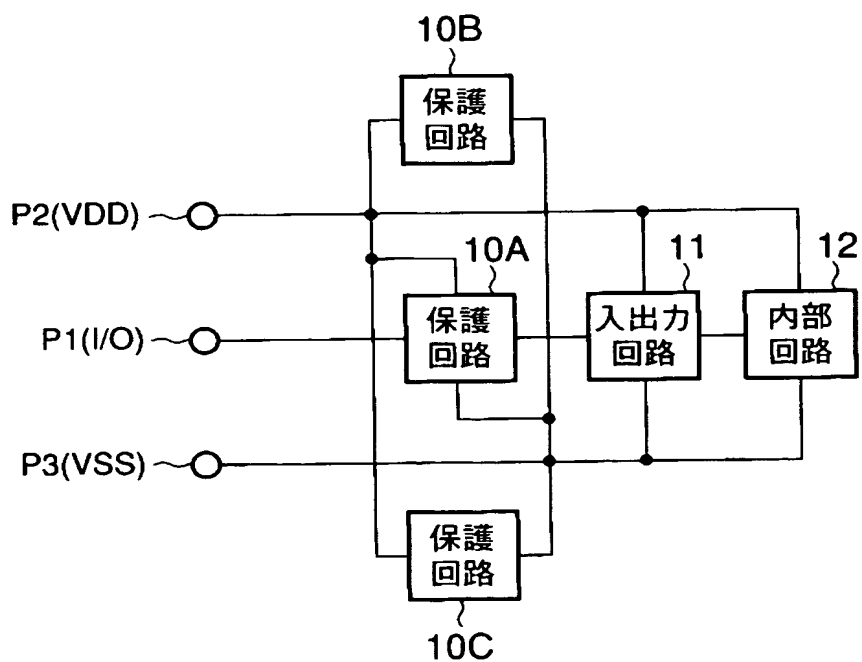
【図 16】



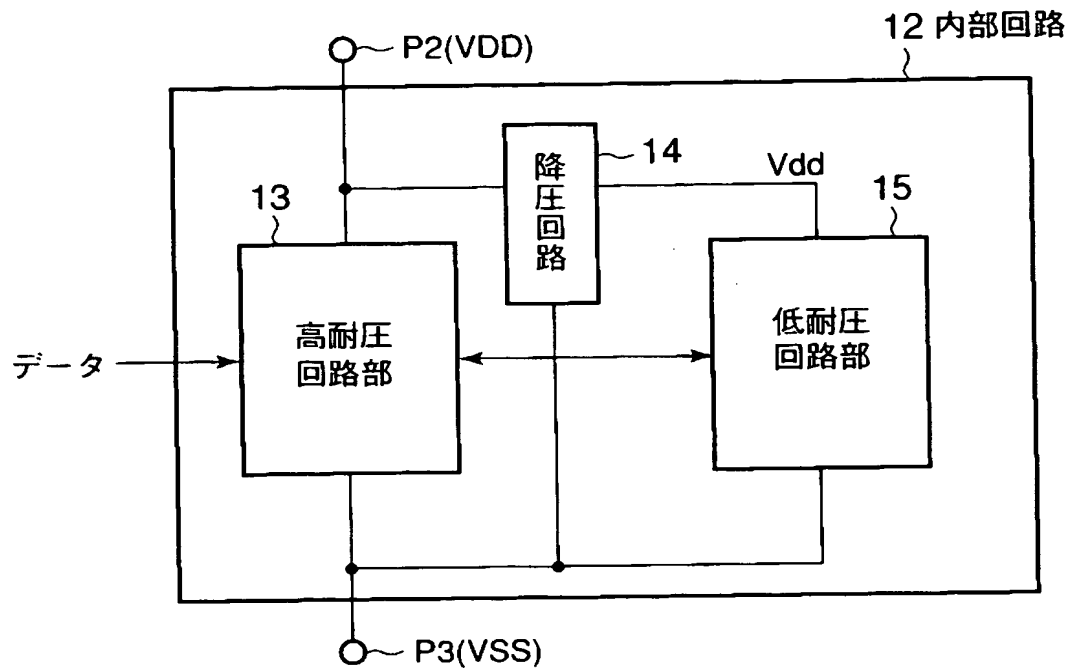
【図 17】



【図 18】

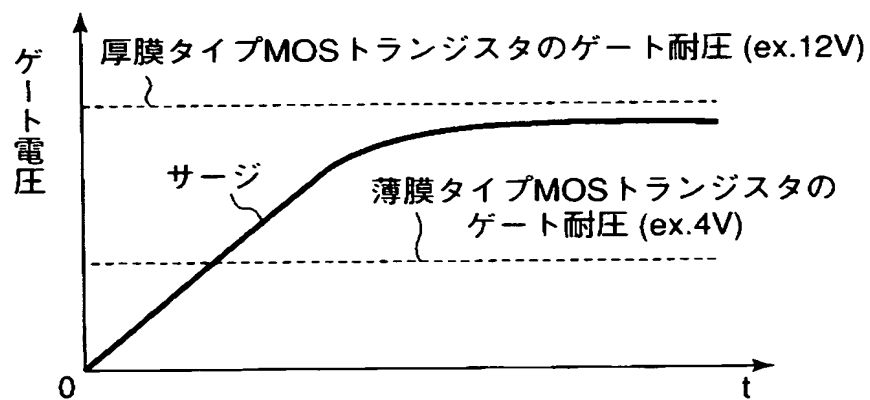


【図 19】



【図 20】

保護回路のクランプ特性



【書類名】 要約書

【要約】

【課題】 E S D によるサージから薄膜トランジスタを有効に保護する。

【解決手段】

内部回路 1 2 は、高耐圧回路部 1 3 と低耐圧回路部 1 5 から構成される。サージに対する通常の保護回路は、内部回路 1 2 の外部において I C の外部端子に直接接続される。高耐圧回路部 1 3 は、電源電圧 V D D により駆動される M O S トランジスタを有する。低耐圧回路部 1 5 は、電源電圧 V D D よりも低い電源電圧 V d d により駆動される M O S トランジスタを有する。電源電圧 V d d により駆動される M O S トランジスタに対しては、個別に、サージに対する保護回路が接続される。保護回路としては、キャパシタ、ダイオードなどが使用される。

【選択図】 図 1

特願 2 0 0 3 - 3 7 9 9 9 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.